

NEC-5084 (3)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-084755

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

G06F 7/00

H03M 7/24

(21)Application number : 05-230143

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.09.1993

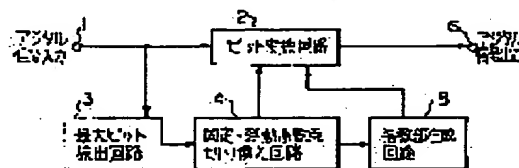
(72)Inventor : WAKASUGI JUN

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To reduce the loss of a dynamic range when the number of bit of an inputted digital signal is converted into a small number of bits and to reduce the degradation of the resolution when the level of an inputted signal is large (it is near to full bits).

CONSTITUTION: The loss of a dynamic range is reduced and the degradation of the resolution when an inputted signal level is large (it is near to full bits) can be reduced by providing a bit conversion circuit 2 capable of switching the bit shift conversion by a fixed point system and the conversion by a floating point system, detecting the level of an inputted signal in a maximum bit detection circuit 3 when the number of bit of the inputted digital signal is converted into a small number of bits and switching the bit conversion circuit 2 by determining the conversion by a fixed point system or the conversion by a floating point system by a fixed/floating point switching circuit 4 according to this detection signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-84755

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/00				
H 0 3 M 7/24		8842-5 J		
		9188-5 B	G 0 6 F 7/ 00	1 0 1 W

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平5-230143

(22) 出願日 平成5年(1993)9月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 若杉 純

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

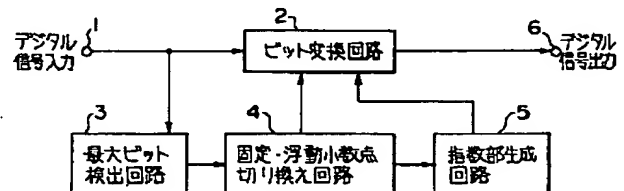
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 デジタル信号処理装置

(57) 【要約】

【目的】 入力したデジタル信号のビット数を少なく変換する場合に、ダイナミックレンジの損失を少なくし、かつ入力信号レベルが大きいとき（フルビットに近いとき）の分解能の低下を少なくすること。

【構成】 固定小数点方式によるビットシフト変換と浮動小数点方式による変換とを切り換えて行うことが可能なビット変換回路2を設け、入力したデジタル信号のビット数を少なく変換する場合に、入力信号レベルを最大ビット検出回路3にて検出し、この検出信号に応じて固定・浮動小数点切換回路4は固定小数点方式による変換か浮動小数点方式による変換かを決定してビット変換回路2を切り換える構成とすることにより、ダイナミックレンジの損失を少なくし、かつ入力信号レベルが大きいとき（フルビットに近いとき）の分解能の低下を少なくすることができる。



1

【特許請求の範囲】

【請求項 1】入力したデジタル信号を固定小数点方式または浮動小数点方式によってビット数を少なくするよう変換するビット変換手段と、
前記の入力したデジタル信号の信号レベルを検出する信号レベル検出手段と、
この信号レベル検出手段の検出結果に基づき、前記ビット変換手段において固定小数点方式か浮動小数点方式かのどちらで変換するかを切り換えるための固定小数点・浮動小数点切り換え手段と、
この固定小数点・浮動小数点切り換え手段によって前記ビット変換回路が浮動小数点方式で変換するように切り換えられた場合に、入力デジタル信号のレベルに応じた指数部を生成して前記ビット変換手段に出力するための指数部生成手段とを具備したことを特徴とするデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル信号を少ないビット数に変換する場合に生ずる、ダイナミックレンジの損失、或いは入力信号レベルが大きいとき（即ち、フルビットに近いとき）の分解能の低下を少なくすることができるデジタル信号処理装置に関する。

【0002】

【従来の技術】デジタル信号を扱う装置においては、データを表現するビットの数が有限であるから表現できる数の範囲は有限である。そこで少しでも表現できる数の範囲を広くするために、入力したデジタル信号のビット数を少なくするよう変換するデジタル信号処理装置が用いられている。

【0003】図4はこのようなデジタル信号処理装置の一例を示すものである。図4は、入力信号のビット数を少なくする方法である。即ち、入力端子11に入力されたデジタル信号をビットシフト回路12でビットシフトを行うことによって、下位ビットを切り捨ててビット数を少なく変換して、出力端子13に出力する。

【0004】しかしながら、この方法では、例えば16ビットの入力信号を8ビットに変換して出力するような場合、図5に示すように下位8ビットが切り捨ててビット変換を行うため、信号のダイナミックレンジは8ビット相当になり約48dB小さくなるという問題を生じる。

【0005】図6はデジタル信号処理装置の他の例を示すものである。図6は浮動小数点方式を使って、仮数部・指数部にそれぞれ任意のビット数を割り当てて、ビット数を少なくする方法である。即ち、入力端子21に入力されたデジタル信号はビット変換回路22に輸入する一方最大ビット検出回路23に輸入する。最大ビット検出回路23では、入力したデジタル信号の信号レベル（最大ビットMSB）の検出を行い、その検出結果を指

2

数部生成回路24に出力する。

【0006】指数部生成回路24は、最大ビット検出回路23から導出された検出信号に応じて指数部を生成し、ビット変換回路22に出力する。

【0007】ビット変換回路22は、指数部生成回路24から導出された指数部の値に応じて、入力信号のビットシフトを行い仮数部に割り当て、指数部の値と併せて出力する。

【0008】しかしながら、図6の方法では、図4の方法に比較してダイナミックレンジの損失は少なくなるが、入力信号の信号レベルが大きいとき（即ち、フルビットに近いとき）には、仮数部に割り当てられたビット数に変換される（仮数部ビット数に制限される）ため、分解能が低くなるという問題が生じる。

【0009】具体例として、16ビットの入力信号を8ビットに変換して出力する場合を図7にて説明する。図7に示すように仮数部に5ビット、指数部に3ビット割り当てるとすれば、指数部については最大指数が111即ちビットシフト換算7ビット分となるから、ダイナミックレンジは $5+7=12$ ビット相当となり、約24dB少なくなる。これを図4の場合と比較するとダイナミックレンジの損失が少なくなるが、入力信号レベルが大きいとき例えば16進でFFFF~8000（実際には2の補数表示で7FFF~4000又は8000~BFFFとし、最大ビットMSBを"0"又は"1"となるようにして、最大ビットMSBの検出を可能としている）の値の入力に対しては仮数部の5ビット相当の分解能しか得られないという問題があった。

【0010】

【発明が解決しようとする課題】上記の如く、従来の入力したデジタル信号のビット数を少なく変換するデジタル信号処理装置では、下位ビットの切り捨てによってダイナミックレンジが少なくなったり、或いは入力信号レベルが大きいとき（フルビットに近いとき）に分解能が低くなるという問題があった。

【0011】そこで、本発明はこのような問題に鑑み、入力したデジタル信号のビット数を少なく変換する場合に、ダイナミックレンジの損失を少なくし、かつ入力信号レベルが大きいとき（フルビットに近いとき）に分解能の低下を少なくすることができるデジタル信号処理装置を提供することを目的とするものである。

【0012】

【課題を解決するための手段】本発明によるデジタル信号処理装置は、入力したデジタル信号を固定小数点方式または浮動小数点方式によってビット数を少なくするよう変換するビット変換手段と、前記の入力したデジタル信号の信号レベルを検出する信号レベル検出手段と、この信号レベル検出手段の検出結果に基づき、前記ビット変換手段において固定小数点方式か浮動小数点方式かのどちらで変換するかを切り換えるための固定小数点・浮

3

動小数点切り換え手段と、この固定小数点・浮動小数点切り換え手段によって前記ビット変換回路が浮動小数点方式で変換するように切り換えられた場合に、入力デジタル信号のレベルに応じた指数部を生成して前記ビット変換手段に出力するための指数部生成手段とを具備したものである。

【0013】

【作用】上記の構成によれば、入力したデジタル信号のビット数を少なく変換する場合に、固定小数点方式と浮動小数点方式による変換を入力信号レベルに応じて切り換えることにより、ダイナミックレンジの損失を少なくし、かつ入力信号レベルが大きいとき（フルビットに近いとき）の分解能の低下を少なくすることができる。具体的には、入力信号レベルが所定値以上のときには固定小数点方式に切り換え、入力信号レベルが所定値より小さいときには浮動小数点方式に切り換えることにより、実現される。

【0014】

【実施例】実施例について図面を参照して説明する。図1は本発明の一実施例のデジタル信号処理装置を示すブロック図である。

【0015】図1において、入力端子1に入力されたデジタル信号はビット変換回路2に入力する一方最大ビット検出回路3に入力する。最大ビット検出回路3では、入力したデジタル信号の信号レベル（最大ビットMSB）の検出を行い、その検出結果を固定・浮動小数点切り換え回路4に出力する。

【0016】固定・浮動小数点切り換え回路4は、最大ビット検出回路23から導出された検出信号に応じてビット変換回路2におけるビット変換を固定小数点方式による変換（ビットシフトのみによる変換）にするか、または仮数部、指数部にそれぞれ任意のビット数を割り当てる浮動小数点方式による変換にするかを決定して、その情報を指数部生成回路5とビット変換回路2とに出力すると共に、指数部生成回路5には指数部生成に必要なデータも併せて出力する。

【0017】指数部生成回路24は、固定・浮動小数点切り換え回路4から導出された情報により、浮動小数点方式によるビット変換である場合には、入力デジタル信号のレベルに応じた指数部を生成してビット変換回路2に出力する。

【0018】ビット変換回路2は固定小数点方式によるビットシフト変換と浮動小数点方式によるビット変換とを切り換えて実行するもので、固定・浮動小数点切り換え回路4から導出された情報により、固定小数点方式の変換の場合には、入力信号のビットシフトを行い、かつ固定・浮動小数点認識ビット（1ビット）と併せてビット変換を行い出力する。一方、固定・浮動小数点切り換え回路4から導出された情報により、浮動小数点方式の変換の場合には、入力信号のビットシフトを行い仮数部に割り当

4

て、指数部生成回路5から導出された指数部の値と併せると共に、固定・浮動小数点認識ビット（1ビット）と併せてビット変換を行い出力する。

【0019】具体例として、16ビットの入力信号を8ビットに変換して出力する場合を、図2で説明する。

【0020】固定・浮動小数点認識ビット（1ビット）を最上位ビットに割り付け、固定小数点方式による変換の場合には図2(a)に示すように7ビットの固定小数点方式による変換を行い、浮動小数点方式の変換の場合には図2(b)に示すように仮数部に4ビット、指数部に3ビット割り当てた7ビットの浮動小数点方式の変換をする。

【0021】例えば、16進でFFFF~2000（実際には2の補数表示で7FFF~1000又は8000~EFFFとし、最大ビットMSBを”0”又は”1”となるようにして、最大ビットMSBの検出を可能としている）の値の入力に対しては、7ビットの固定小数点方式による変換を行い、7ビットの分解能を得ることができ、図6の構成と比較して損失が少ない。そして、FFFF~2000（2の補数表示では7FFF~1000又は8000~EFFF）より小さい値の入力に対しては、仮数部に4ビット、指数部に3ビット割り当てた7ビットの浮動小数点方式の変換をするとすれば、指数部については最大指数が111即ちビットシフト換算7ビット分となるから、ダイナミックレンジは4+7=11ビット相当になり、約30dB少なくなるので、図4の構成と比較すると損失が少ない。

【0022】また、例えば16進でFFFF~1000（2の補数表示では7FFF~0800又は8000~F7FF）の値の入力に対しては、7ビットの固定小数点方式による変換を行い、7ビットの分解能を得ることができ、図6の構成と比較して損失が少ない。そして、FFFF~1000（2の補数表示では7FFF~0800又は8000~F7FF）より小さい値の入力に対しては、仮数部に4ビット、指数部に3ビット割り当てた7ビットの浮動小数点方式の変換をするとすれば、ダイナミックレンジは12ビット相当になり、約24dB少なくなるので、図4の構成と比較すると損失が少ない。

【0023】図3に、実際の信号値について本発明の実施例の方式を従来例の方式と比較したものを示す。

【0024】図3において、信号値1~0に16進数FFFF~0000を対応させた場合、信号値1~1/8は前記の16進数FFFF~2000に対応し、信号値1~1/16は前記の16進数FFFF~1000に対応する。図4に示した従来の8ビットの固定小数点方式による変換では、信号値1~1/256に対しては8ビットとなり、信号値1/256~0に対しては下位ビット切り捨てによって変換不能である。また、図6に示した従来の8ビット（仮数部5ビット、指数部3ビット）

5

の浮動小数点方式による変換では、信号値 $1 \sim 1/2$ では5ビット、信号値 $1/2 \sim 1/4$ では6ビット、……、信号値 $1/256 \sim 0$ では12ビットとなる。

【0025】これに対して、図1の本発明による固定小数点と浮動小数点を切り換える方式では、第1の例として、信号値 $1 \sim 1/8$ （即ち、16進数FFFF \sim 2000）では7ビットの固定小数点方式による変換となり、これより小さい信号値 $1/8 \sim 0$ では7ビット（仮数部4ビット、指数部3ビット）の浮動小数点方式による変換となり、各信号値に応じて8ビット \sim 11ビットとなる。また、第2の例として、信号値 $1 \sim 1/16$ （即ち、16進数FFFF \sim 1000）では7ビットの固定小数点方式による変換となり、これより小さい信号値 $1/16 \sim 0$ では7ビット（仮数部4ビット、指数部3ビット）の浮動小数点方式による変換となり、各信号値に応じて8ビット \sim 12ビットとなる。

【0026】従って、上記本発明の実施例の構成によれば、入力したデジタル信号のビット数を少なく変換する場合に、固定小数点方式と浮動小数点方式による変換を入力信号レベルに応じて切り換えることにより、ダイナミックレンジの損失を少なくし、かつ入力信号レベルが大きいとき（フルビットに近いとき）の分解能の低下を少なくすることができる。

【0027】

【発明の効果】以上述べたように本発明によれば、入力したデジタル信号のビット数を少なく変換する場合に、

6

固定小数点方式と浮動小数点方式による変換を入力信号レベルに応じて切り換えることにより、ダイナミックレンジの損失を少なくし、かつ入力信号レベルが大きいとき（フルビットに近いとき）の分解能の低下を少なくすることができるという極めて有効なデジタル信号処理を行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例のデジタル信号処理装置を示すブロック図。

10 【図2】図1におけるビット変換方法を説明する図。

【図3】本発明の実施例と従来例との作用効果を比較する図。

【図4】従来のデジタル信号処理装置の一例を示すブロック図。

【図5】図4におけるビット変換方法を説明する図。

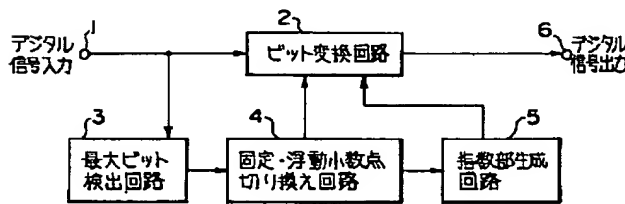
【図6】他の従来例のデジタル信号処理装置を示すブロック図。

【図7】図5におけるビット変換方法を説明する図。

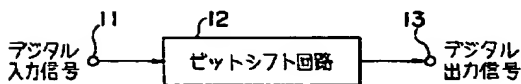
【符号の説明】

- 20 1…デジタル信号入力端子
- 2…ビット変換回路
- 3…最大ビット検出回路（信号レベル検出手段）
- 4…固定・浮動小数点切換回路
- 5…指数部生成回路
- 6…デジタル信号出力端子

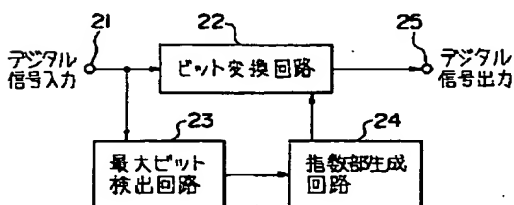
【図1】



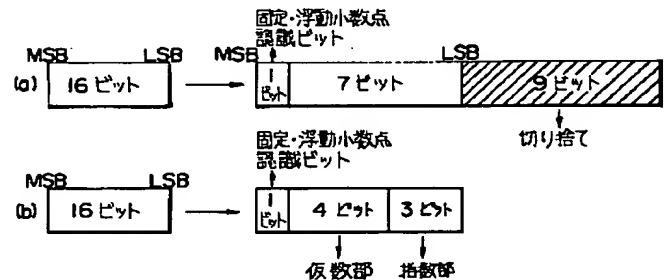
【図4】



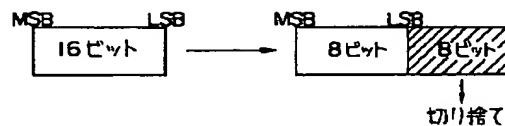
【図6】



【図2】



【図5】



【図 3】

信号値	固定小数点 (従来例)	浮動小数点 (従来例)	本発明方式 (第 1 例)	本発明方式 (第 2 例)
$1 \sim 1/2$	8 ビット	5 ビット	7 ビット	7 ビット
$1/2 \sim 1/4$	8	6	7	7
$1/4 \sim 1/8$	8	7	7	7
$1/8 \sim 1/16$	8	8	8	7
$1/32 \sim 1/64$	8	9	9	9
$1/64 \sim 1/128$	8	10	10	10
$1/128 \sim 1/256$	8	11	11	11
$1/256 \sim 0$	×	12	11	12

【図 7】

